

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

12481033

Basic Patent (No,Kind,Date): JP 7152043 A2 950616 <No. of Patents: 001>

LIQUID CRYSTAL DISPLAY PANEL AND METHOD FOR PACKAGING TO THIS
PANEL (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): MARUYAMA YOSHIAKI; MAJIMA NIWAJI; ANDO SHIZUHITO;
SUKETA TOSHIAKI; KASAHLARA SHINICHI

IPC: *G02F-001/1345;

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 7152043	A2	950616	JP 93299218	A	931130 (BASIC)

Priority Data (No,Kind,Date):

JP 93299218 A 931130

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

04859443 **Image available**

LIQUID CRYSTAL DISPLAY PANEL AND METHOD FOR PACKAGING TO THIS PANEL

PUB. NO.: **07-152043 [JP 7152043 A]**

PUBLISHED: June 16, 1995 (19950616)

INVENTOR(s): MARUYAMA YOSHIAKI

MAJIMA NIWAJI

ANDO SHIZUHITO

SUKETA TOSHIAKI

KASAHARA SHINICHI

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: **05-299218 [JP 93299218]**

FILED: November 30, 1993 (19931130)

INTL CLASS: [6] G02F-001/1345

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R002 (LASERS); R011 (LIQUID CRYSTALS)

ABSTRACT

PURPOSE: To easily take a countermeasure against static electricity through panel process stages and an LSI chip packaging stage even if the liquid crystal display panel deals with COG packaging and LSI chips for driving liquid crystals are packaged on all the sides thereof.

CONSTITUTION: Signal wirings 1b extending outward from the display region of the liquid crystal display panel 1 of the liquid crystal display panel formed by directly packaging the LSI pair chips 2 for driving liquid crystals on the liquid crystal display panel 1 are further extended outward from electrodes 1c facing the output terminals of the LSI pair chips 2 for driving liquid crystals and are all connected to common patterns 1d formed to pass the lower parts of the packaging parts of the LSI pair chips 2 for driving liquid crystals along the outer periphery of the panel. In addition, the parts 1e between the electrodes 1c and the common patterns 1d are cut.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-152043

(43)公開日 平成7年(1995)6月16日

(51)Int.Cl.⁶

識別記号 庁内整理番号

F I

技術表示箇所

G 02 F 1/1345

審査請求 未請求 請求項の数10 O L (全 11 頁)

(21)出願番号 特願平5-299218

(22)出願日 平成5年(1993)11月30日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 丸山 嘉昭

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 間島 庭司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 安藤 僕士

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 有我 軍一郎

最終頁に続く

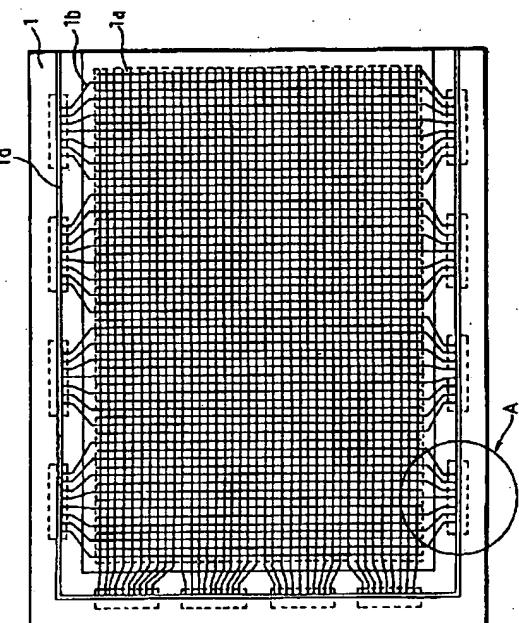
(54)【発明の名称】 液晶表示パネル及び該パネルへの実装方法

(57)【要約】 (修正有)

【目的】 COG実装対応で、しかも全辺に液晶駆動用LSIチップが実装される場合においても、パネルプロセス工程及びLSIチップ実装工程を通じて静電気対策を容易に行う。

【構成】 液晶駆動用LSIペアチップ2を液晶表示パネル1へ直接実装する液晶表示パネルにおいて、該液晶表示パネル1の表示領域より外側に向かって延びる信号配線1bを、該液晶駆動用LSIペアチップ2の出力端子に相対する電極1cよりも更に外側に延長して、パネル外周に沿って該液晶駆動用LSIペアチップ2の実装部下部を通過するように形成された共通パターン1dに全て接続し、かつ該電極1cと該共通パターン1dとの間の部分1eをカットしてなる。

本発明に係る実施例1の液晶表示パネルの全体構成を示す図



【特許請求の範囲】

【請求項1】液晶駆動用LSIペアチップ(2)を液晶表示パネル(1)へ実装する液晶表示パネルにおいて、該液晶表示パネル(1)の表示領域(1a)より外側に向かって延びる信号配線(1b)が、該液晶駆動用LSIペアチップ(2)の出力端子(2a)に相対する電極(1c)よりも更に外側に延長して形成され、パネル外周に沿って該液晶駆動用LSIペアチップ(2)の実装部下部を通過するように形成された共通パターン(1d)と接続されていることを特徴とする液晶表示パネル。

【請求項2】液晶駆動用LSIペアチップ(2)を液晶表示パネル(1)へ実装する液晶表示パネルにおいて、該液晶表示パネル(1)の表示領域(1a)より外側に向かって延びる信号配線(1b)上で、かつ該液晶表示パネル(1)の表示領域(1a)と該液晶駆動用LSIペアチップ(2)実装部との間に電極部(1f)が形成されていることを特徴とする液晶表示パネル。

【請求項3】前記請求項1と前記請求項2との両方を兼ね備えて構成されていることを特徴とする液晶表示パネル。

【請求項4】前記信号配線(1b)上に絶縁層(1g)が形成され、該絶縁層(1g)の前記液晶駆動用LSIペアチップ(2)の出力端子(2a)に相対する電極(1c)部に開孔部を有し、該開孔部より前記絶縁層(1g)上に、前記信号配線(1b)に沿って前記電極部(1f)まで導体パターン(1h)が形成されていることを特徴とする請求項2、3記載の液晶表示パネル。

【請求項5】前記共通パターン(1d)は少なくとも1個以上の前記液晶駆動用LSIペアチップ(2)実装部毎に前記液晶駆動用LSIペアチップ(2)への電源及び信号供給用電極端子部(1i)側に接続されていることを特徴とする請求項1、3、4記載の液晶表示パネル。

【請求項6】前記共通パターン(1d)はパネルの各辺毎に電気的に絶縁され、かつ各前記共通パターン(1d)の両端又は該両端を含めた複数箇所にプローピング用の電極(1j)が形成されていることを特徴とする請求項1、3、4記載の液晶表示パネル。

【請求項7】全ての隣合う前記信号配線(1b)が同一の前記共通パターン(1d)に接続しないように互い違いに異なる辺に向かって延長して形成されていることを特徴とする請求項6記載の液晶表示パネル。

【請求項8】請求項1および請求項3乃至請求項7に記載の液晶表示パネル(1)に液晶駆動用LSIペアチップ(2)を実装する方法であって、前記液晶駆動用LSIペアチップ(2)を前記液晶パネル(1)に実装する前に、前記信号配線(1b)を、前記電極(1c)と前記共通パターン(1d)との間に設けられた切断部(1e)で切断する工程を含むことを特徴とするペアチップ

の実装方法。

【請求項9】前記切断部(1e)を切断する工程が、前記液晶表示パネル(1)の裏面よりレーザ光により行われることを特徴とする請求項8記載のペアチップの実装方法。

【請求項10】請求項2乃至7に記載の液晶表示パネル(1)に液晶駆動用LSIペアチップ(2)を実装する方法であって、前記液晶駆動用LSIペアチップ(2)の前記液晶パネル(1)への実装工程中に、前記電極部(1f)に導電体(4)を接触させ、複数の前記電極部(1f)を電気的に接続しておくことを特徴とするペアチップの実装方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示パネル及び該パネルへの実装方法に係り、詳しくは、液晶表示パネルの製造工程で発生する静電気に対する処置を施した液晶表示パネルの製造及び試験技術に適用することができ、特に、COG(Chip On Glass)実装対応で、しかも全辺に液晶駆動用LSIチップが実装される場合においても、パネルプロセス工程及びLSIチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネル及び該パネルへの実装方法に関する。

【0002】近年、TAB実装用液晶表示パネル及び対向する辺のうち片側のみへのCOG実装用液晶表示パネルは、静電気対策を行うための共通導体パターンの形成及び除去を容易に行うことができるという利点を有する。しかしながら、特に、後者のCOG実装用液晶表示パネルでは、対向する両方の辺へ液晶駆動用LSIペアチップを実装する場合、信号配線パターンをパネル端部まで引き出すことができないため、共通導体パターンの形成及び除去を行うのが困難になるという問題があつた。

【0003】このため、COG実装対応で、しかも全辺に液晶駆動用LSIチップが実装される場合においても、パネルプロセス工程及びLSIチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネルが要求されている。

【0004】

【従来の技術】従来のTAB実装用の液晶表示パネルでは、信号配線パターンをストレートにパネル端部まで取り出せるように構成しているため、図12に示すように、パネル端面に沿って、幅0.2~0.5mm程度の静電気対策用共通導体パターン101を全信号配線パターンとなるTAB実装用電極端子102に電気的に接続しておき、パネルが完成した時点でパネル基板端面103を研磨する際に導体パターン101も除去するように構成している。

【0005】また、従来のCOG実装用の液晶表示パネルでは、信号配線パターンはパネル上の液晶駆動用LSI

Iの出力端子電極位置まで延びているが、パネル端部まで引き出すことができない構成を探っている。そこで、LSI実装辺の反対側にLSIが実装されない場合は、図13に示すように、液晶駆動用LSIペアチップ111非実装辺に、図12と同様の静電気対策用共通導体パターン101を設け、パネル端面研磨時に一括して除去するか、あるいは飛び出しているガラス基板部112をスクライプして、導体パターン101を信号配線パターンから切り離すように構成している。なお、図13において、LSI111の113は信号出力端子電極である。

【0006】

【発明が解決しようとする課題】上記した従来のTAB実装用液晶表示パネル及び対向する辺のうち片側のみへのCOG実装用液晶表示パネルでは、静電気対策を行うための共通導体パターン101の形成及び除去を容易に行うことができるという利点を有するが、後者のCOG実装用液晶表示パネルでは、対向する両方の辺へ液晶駆動用LSIペアチップ111を実装する場合、前述した如く、信号配線パターン102をパネル端部まで引き出すことができないため、共通導体パターン101の形成及び除去を行うのが困難であるという問題があった。

【0007】また、仮にパネル製造工程における静電気対策を実現することができたとしても、信号配線が共通パターンと接続したままでは、パネルに画像を表示させるための信号を印加できない（ショートとしているため）という理由からパネルの表示試験時は、上記した静電気対策措置を除去しなければならない。このように、パネルの表示試験時に静電気対策措置を除去してしまうと、液晶駆動用LSI実装工程時には、静電気対策がなされていない状態になってしまう。ここで、仮に電気対策措置を残した状態でパネル表示試験を行うことができても、液晶駆動用LSIチップがCOG実装される部分をレーザーカットにて電気対策措置を除去する従来の方法では、LSIチップへのレーザー光線によるダメージを考慮すると、結局液晶駆動用LSI実装工程時には、静電気対策がなされていない状態になってしまう。

【0008】そこで、本発明は、COG実装対応で、しかも全辺に液晶駆動用LSIチップが実装される場合においても、パネルプロセス工程及びLSIチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネルを提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の発明は、液晶駆動用LSIペアチップを液晶表示パネルへ実装する液晶表示パネルにおいて、該液晶表示パネルの表示領域より外側に向かって延びる信号配線が、該液晶駆動用LSIペアチップの出力端子に相対する電極よりも更に外側に延長して形成され、パネル外周に沿って該液晶駆動用LSIペアチップの実装部下部を通過するように形

成された共通パターンと接続されていることを特徴とするものである。

【0010】請求項2記載の発明は、液晶駆動用LSIペアチップを液晶表示パネルへ実装する液晶表示パネルにおいて、該液晶表示パネルの表示領域より外側に向かって延びる信号配線上で、かつ該液晶表示パネルの表示領域と該液晶駆動用LSIペアチップ実装部との間に電極部が形成されていることを特徴とするものである。請求項3記載の発明は、前記請求項1と前記請求項2との両方を兼ね備えて構成されていることを特徴とするものである。

【0011】請求項4記載の発明は、上記請求項2、3記載の発明において、前記信号配線上に絶縁層が形成され、該絶縁層の前記液晶駆動用LSIペアチップの出力端子に相対する電極部に開孔部を有し、該開孔部より前記絶縁層上に前記信号配線に沿って前記電極部まで導体パターンが形成されていることを特徴とするものである。

【0012】請求項5記載の発明は、上記請求項1、3、4記載の発明において、前記共通パターンは少なくとも1個以上の前記液晶駆動用LSIペアチップ実装部毎に前記液晶駆動用LSIペアチップへの電源及び信号供給用電極端子部側に接続されていることを特徴とするものである。請求項6記載の発明は、上記請求項1、3、4記載の発明において、前記共通パターンはパネルの各辺毎に電気的に絶縁され、かつ各前記共通パターンの両端又は該両端を含めた複数箇所にプローピング用の電極が形成されていることを特徴とするものである。

【0013】請求項7記載の発明は、上記請求項6記載の発明において、全ての隣合う前記信号配線が同一の前記共通パターンに接続しないように互い違いに異なる辺に向かって延長して形成されていることを特徴とするものである。請求項8記載の発明は、請求項1および請求項3乃至請求項7に記載の液晶表示パネルに液晶駆動用LSIペアチップを実装する方法であって、前記液晶駆動用LSIペアチップを前記液晶パネルに実装する前に、前記信号配線を、前記電極と前記共通パターンとの間に設けられた切断部で切断する工程を含むことを特徴とするものである。

【0014】請求項9記載の発明は、上記請求項8記載の発明において、前記切断部を切断する工程が、前記液晶表示パネルの裏面よりレーザ光により行われることを特徴とするものである。請求項10記載の発明は、請求項2乃至7に記載の液晶表示パネルに液晶駆動用LSIペアチップを実装する方法であって、前記液晶駆動用LSIペアチップの前記液晶パネルへの実装工程中に、前記電極部に導電体を接触させ、複数の前記電極部を電気的に接続しておくことを特徴とするものである。

【0015】

【作用】請求項1記載の発明では、後述する実施例1の

図1～3に示す如く、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1bを、液晶駆動用LSIペアチップ2の出力端子2aに相対する電極端子1cよりも更に外側に延長して、パネル外周に沿って液晶駆動用LSIペアチップ2の実装部下部を通過するように形成された共通導体パターン1dに全て接続し、かつパネル完成後に電極端子1cと共に共通導体パターン1dとの間の部分のレーザーカットライン1eをレーザーでカットしてなるよう構成する。このため、レーザー光照射前に、各信号配線1bを有効表示領域1aとは反対側に延ばして、それを全数共通導体パターン1dと電気的に接続することができる、パネルプロセス工程で発生する静電気に対して十分強くすることができる。

【0016】請求項2記載の発明では、後述する実施例2の図4、5に示す如く、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1b上に、かつ液晶表示パネル1の上側基板と液晶駆動用LSIペアチップ2実装部との間に長さ0.5～1mm程度の電極端子1fを形成してなるよう構成する。このため、信号配線1b上に電極端子1fを設けて構成するので、液晶駆動用LSIペアチップ2の実装工程においても、全信号配線1bを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを得ることができる。

【0017】請求項3記載の発明では、後述する実施例4の図7に示す如く、前記請求項1と前記請求項2との両方を兼ね備えて構成してなるよう構成するため、請求項1記載の発明と請求項2記載の発明の両方の効果を兼ね備えたパネルを得ることができる。請求項4記載の発明では、後述する実施例3の図6に示す如く、信号配線1b上に絶縁層1gを形成し、液晶駆動用LSIペアチップ2の出力信号電極端子2aに相対する電極端子1c部のみの絶縁層1gに穴を開け、この穴上に信号配線1bに沿って電極端子1f部まで導体パターン1hを形成してなるよう構成する。このため、何等かの原因で静電気対策用電極端子1f部に電蝕等が発生した場合においても、電蝕の影響が及ぶのは、液晶表示パネル1の表示には関係のない導体パターン1hのみで済ませることができるので、電極端子1f部の信号配線1bを電蝕し難くして断線し難くすることができ、信頼性を向上させることができる。

【0018】請求項5記載の発明では、後述する実施例4の図7に示す如く、パネル外周に沿って形成された共通導体パターン1dを少なくとも1個以上の液晶駆動用LSIペアチップ2実装部に液晶駆動用LSIペアチップ2への電源及び信号供給用電極端子部1i側に接続してなるよう構成する。このため、静電気対策を行うと同時に、端子部1iに表示信号を印加することによってブロック毎の一面点灯表示試験を行うことができる。

【0019】請求項6記載の発明では、後述する実施例5の図8に示す如く、パネル外周に沿って形成された共通導体パターン1dをパネル完成時にパネルの各辺毎に電気的に絶縁できるようにし、かつ各共通導体パターン1dの両端又は両端を含めた複数箇所にプローピング用の導体パターン1jを設置してなるよう構成する。このため、共通導体パターン1dをパネルの各辺毎に分割して各々に電極端子1jを設けることにより、静電気対策と合わせて、数本～十数本のプローブピンを電極端子1jに立てるだけで簡易表示試験を行うことができる。

【0020】請求項7記載の発明では、後述する実施例6の図9に示す如く、全ての隣合う信号配線1bが同一の共通導体パターン1dに接続しないように互い違いに形成し、かつ液晶駆動用LSIペアチップ2が実装されない辺の信号配線1bのガラス基板越しにレーザーでカットしてなるよう構成する。このため、パネルの簡易表示試験時に水平方向の信号配線に一本置きに異なる信号を出力することができるので、信号配線の短絡を確認することができる。

【0021】請求項8記載の発明では、請求項1および請求項3乃至請求項7に記載の液晶表示パネルに液晶駆動用LSIペアチップを実装する方法であって、前記液晶駆動用LSIペアチップを前記液晶パネルに実装する前に、前記信号配線を、前記電極と前記共通パターンとの間に設けられた切断部で切断する工程を含むよう構成するため、上記請求項1、3乃至7記載の発明と同様の効果を得ることができる。

【0022】請求項9記載の発明では、上記請求項8記載の発明において、前記切断部を切断する工程が、前記液晶表示パネルの裏面よりレーザ光により行われるように構成するため、上記請求項8記載の発明と同様の効果を得ることができる。請求項10記載の発明では、請求項2乃至7記載の液晶表示パネルに液晶駆動用LSIペアチップを実装する方法であって、前記液晶駆動用LSIペアチップの前記液晶パネルへの実装工程中に、前記電極部に導電体を接触させ、複数の前記電極部を電気的に接続しておくよう構成するため、上記請求項2乃至7記載の発明と同様の効果を得ることができる。

【0023】

【実施例】以下、本発明の実施例を図面を参照して説明する。

(実施例1) 図1は本発明に係る実施例1の液晶表示パネルの全体構成を示す図であり、図2は図1に示すA部の構成を示す拡大図であり、図3は図1に示すA部のレーザーカット後の構成を示す拡大図である。ここでは、請求項1、8に係る特徴部分を具体的に説明する。図1～3において、1は液晶表示パネルであり、1aは液晶表示パネル1の有効表示領域であり、1bは液晶表示パネル1の有効表示領域1aより外側に向かって延びる液晶表示パネル1の液晶を駆動する信号を伝送する信号配

線であり、1cは液晶駆動用LSIペアチップ2の出力端子に相対するパネル1上の電極端子であり、この電極端子1cは信号配線1bと接続されている。次いで、1dは静電気対策用共通導体パターンであり、信号配線1bの全てが電極端子1cを挟んで有効表示領域1aとは反対側で接続され、液晶駆動用LSIペアチップ2実装部下を通過してパネル1を周回するように形成されている。1eは電極端子1cと共に導体パターン1dの間の信号配線1bのレーザーカットラインであり、パネルプロセス工程を終了した後に図2に示す如く、このレーザーカットライン1eに沿ってレーザー光線を照射してカットすることにより、図3に示す如く、信号配線1bと共に導体パターン1dとが電気的に分離される。

【0024】このように、本実施例（請求項1）では、液晶駆動用LSIペアチップ2を液晶表示パネル1へ直接実装する液晶表示パネルにおいて、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1bを、液晶駆動用LSIペアチップ2の出力端子に相対する電極端子1cよりも更に外側に延長して、パネル外周に沿って液晶駆動用LSIペアチップ2の実装部下部を通過するように形成された共通導体パターン1dに全て接続し、かつパネル完成後に電極端子1cと共に導体パターン1dとの間の部分のレーザーカットライン1eをレーザーでカットしてなるように構成している。このため、レーザー光照射前に、各信号配線1bを有効表示領域1aとは反対側に延ばして、それを全数共通導体パターン1dと電気的に接続することができるので、パネルプロセス工程で発生する静電気に対して十分強くすることができる。

【0025】（実施例2）次に、図4は本発明に係る実施例2の液晶表示パネルのパネル上面（図1のA部に相当）の構成を示す部分図であり、図5は本発明に係る実施例2、10の液晶表示パネルのLSIチップ実装時の構成を示す図である。ここでは、請求項2に係る特徴部分を具体的に説明する。図4、5において、図1～3と同一符号は同一又は相当部分を示し、1fは信号配線1b上に、かつ液晶表示パネル1の上側基板と液晶駆動用LSIペアチップ2実装部との間に設けられた長さ0.5～1mm程度の静電気対策用の電極端子であり、1gは信号配線1bの上層に形成された保護膜として機能する絶縁層であり、2は液晶駆動用LSIペアチップであり、2aは液晶駆動用LSIペアチップ2表面に形成された金等の金属突起からなる液晶駆動用LSIペアチップ2の出力信号電極端子であり、3は液晶駆動用LSIペアチップ2を加熱加圧して、液晶表示パネル1に液晶駆動用LSIペアチップ2を熱硬化性樹脂フィルム等を介して接続するためのボンディングヘッドである。そして、4は液晶表示パネル1の各辺に沿った細長い形状をしており、静電気が発生し易い工程中において、静電気対策用の電極端子1fに接触させて、信号配線1bを電

気的に接続するための導電性ゴムであり、5は導電性ゴム4が電極端子1fに電気的に十分接続するように荷重を加えるための加圧ヘッドである。なお、ここでは図示していないが、本発明においては、電極端子1fに沿って液晶パネルを周回するようにペースト状の導電性樹脂を塗布することによって、全信号配線1bを電気的に接続するように構成してもよい。

【0026】このように、本実施例（請求項2）では、液晶駆動用LSIペアチップ2を液晶表示パネル1へ直接実装する液晶表示パネルにおいて、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1b上に、かつ液晶表示パネル1の上側基板と液晶駆動用LSIペアチップ2実装部との間に長さ0.5～1mm程度の電極端子1fを形成してなるように構成している。

【0027】このため、信号配線1b上に電極端子1fを設けて構成するので、液晶駆動用LSIペアチップ2の実装工程においても、全信号配線1bを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを容易に得ることができる。

（実施例3）図6は本発明に係る実施例3の液晶表示パネルの構成を示す図である。ここでは、図4に示す電極端子1fの層構成に工夫を加えたものであり、請求項4に係る特徴部分を具体的に説明する。本実施例の液晶表示パネルでは、液晶表示パネル1の液晶を駆動する信号を伝送する信号配線1bと、液晶駆動用LSIペアチップの出力端子に相対するパネル1上の電極端子1cと、静電気対策用の電極端子1fと、信号配線1bの保護膜的機能を果たすように信号配線1b上に形成され、かつ電極端子1c部にコンタクトホールが形成された絶縁層1gと、絶縁層1gの電極端子1c上に開けられたコンタクトホールによって信号配線1bと電気的に接続され、かつ信号配線1bに沿って電極端子1c部から静電気対策用電極端子1f部まで延びた導体パターン1hとから構成する。このため、何等かの原因で静電気対策用電極端子1f部に電蝕等が発生した場合においても、電蝕の影響が及ぶのは、液晶表示パネル1の表示には関係のない導体パターン1hのみで済ませることができるので、電極端子1f部の信号配線1bを電蝕し難くして断線し難くすることができ、信頼性を向上させることができる。

【0028】（実施例4）次に、図7は本発明に係る実施例4の液晶表示パネルのパネル上面の構成を示す図であり、図7(a)は図1に示すA部に該当する部分の構成を示す拡大図、図7(b)は図7(a)に示す部分のレーザーカット後の構成を示す拡大図である。ここでは、請求項3、5に係る特徴部分を具体的に説明する。本実施例は、実施例1と実施例3の両方の特徴を兼ね備えたものであり、共通導体パターン1dを液晶表示パネル1を周回する形状から1個の液晶駆動用LSIペアチ

ップ2の実装部毎にパネル外部に取り出すようにして構成する。この時、信号の取り出しあは、液晶駆動用LSIペアチップ2への入力信号供給用電極端子と同様に形成された導体パターン1dにて行う他、この場合の各共通導体パターン1d同士の電気的接続は、前述した従来の方法にて行う。なお、図示していないが、共通導体パターン1dのパネル外部への取り出しあは、LSIチップ1個毎に行うのではなく、複数個毎で行ってよい。

【0029】このように、本実施例（請求項3）では、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1bを、液晶駆動用LSIペアチップ2の出力端子に相対する電極端子1cよりも更に外側に延長して、パネル外周に沿って液晶駆動用LSIペアチップ2の実装部下部を通過するように形成された共通導体パターン1dに全て接続し、かつパネル完成後に電極端子1cと共通導体パターン1dとの間の部分のレーザーカットライン1eをレーザーでカットしてなるように構成し、更に、液晶駆動用LSIペアチップ2を液晶表示パネル1へ直接実装する液晶表示パネルにおいて、液晶表示パネル1の有効表示領域1aより外側に向かって延びる信号配線1b上に、かつ液晶表示パネル1の上側基板と液晶駆動用LSIペアチップ2実装部との間に長さ0.5~1mm程度の電極端子1fを形成してなるように構成する。このため、実施例1の効果と実施例2の両方の効果を兼ね備えたパネルを得ることができ、即ち、レーザー光照射前に、各信号配線1bを有効表示領域1aとは反対側に延ばして、それを全数共通導体パターン1dと電気的に接続することができるので、パネルプロセス工程で発生する静電気に対して十分強くすることができる他、信号配線1b上に電極端子1fを設けて構成するので、液晶駆動用LSIペアチップ2の実装工程においても、全信号配線1bを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを得ることができる。

【0030】更に、本実施例（請求項5）では、パネル外周に沿って形成された共通パターン1dを少なくとも1個以上の液晶駆動用LSIペアチップ2実装部毎に液晶駆動用LSIペアチップ2への電源及び信号供給用電極端子部1i側に接続してなるように構成したため、静電気対策を行うと同時に、端子部1iに表示信号を印加することによってブロック毎の一面点灯表示試験を行うことができる。

【0031】（実施例5）次に、図8は本発明に係る実施例5の液晶表示パネルの全体構成を示す図である。ここでは、請求項6に係る特徴部分を具体的に説明する。本実施例では、共通導体パターン1dを液晶表示パネルを周回する形状からパネルの各辺毎に分割した形状とし、各辺毎に分割された各共通導体パターン1dに1個あるいは複数個の電極端子1jを形成して構成する。また、各共通導体パターン1d同士の電気的接続は、図7

の実施例4と同様に前述した従来の方法にて行う。

【0032】このように、本実施例（請求項6）では、パネル外周に沿って形成された共通導体パターン1dをパネル完成時にパネルの各辺毎に電気的に絶縁できるよう以し、かつ各共通導体パターン1dの両端又は両端を含めた複数箇所にプローピング用の導体パターン1iを設置してなるように構成するため、共通導体パターン1dを各辺毎に分割して、各々に電極端子1jを設けることにより、静電気対策と合わせて、数本~十数本のプローピングを電極端子1jに立てるだけで簡易表示試験を行なうことができる。

【0033】（実施例6）次に、図9は本発明に係る実施例6の液晶表示パネルの全体構成を示す図である。ここでは、請求項7、9に係る特徴部分を具体的に説明する。本実施例では、図8の実施例5において、水平方向に走る信号配線1bを同一の共通導体パターン1dに接続しないように一本置きに互い違いにパネル左右に縦方向に設けた共通導体パターン1dに接続して構成する。このように構成すると、パネル右側に縦方向に設けた共通導体パターン1dは、2枚のガラス基板に挟まれた状態となる。

【0034】従って、この時、液晶駆動用LSIペアチップ2が実装されない辺の信号配線1bのレーザーカットライン1eはガラス基板越しに裏面よりレーザーカットされる。このため、パネルの簡易表示試験時に水平方向の信号配線に一本置きに異なる信号を出力することができる、信号配線の短絡を確認することができる。

【0035】（実施例7）次に、図10は、本発明に係る実施例7の液晶表示パネルの全体構成を示す図であり、図11は図10に示すA部の構成を示す平面及び断面拡大図である。ここでは、請求項4に係る特徴部分を具体的に説明する。本実施例では、液晶表示パネル1と、液晶表示パネル1の有効表示領域1aと、液晶を駆動する信号を伝達する信号配線1bと、この信号配線1bと接続され、かつ液晶駆動用LSIペアチップ2の出力端子に相対するパネル上の電極端子1cと、信号配線1dの全てが電極端子1cを経由して接続され、液晶駆動用LSIペアチップ2実装部下を通過して、パネルを周回するように形成された静電気対策用の共通導体パターン1dと、パネル組立工程終了後にこのラインに沿って、レーザー光線を照射することにより信号配線1bと共に共通導体パターン1dとが電気的に分離されるレーザーカットライン1eと、もう一つの静電気対策用電極端子1fと、信号配線1bより上層に成膜され、保護膜として機能するSiN等からなる絶縁層1gと、電極端子1c部において、絶縁層1gに開けられたコンタクトホールによって信号配線1bと電気的に接続された導体パターン1hと、液晶駆動用LSIペアチップ2と、液晶駆動用LSIペアチップ2の電極端子部に形成された金等の金属突起からなる出力信号電極端子2aとから構成す

る。なお、導体パターン 1 h 上には、静電気対策用電極端子 1 f が形成されている。そして、4 は導電性ゴムであり、5 は導電性ゴム 4 を加圧するヘッドであり、6 はフレキシブルプリント回路基板であり、このフレキシブルプリント回路基板 6 は液晶駆動用 LSI ベアチップ 2 に信号を供給するために液晶パネル 1 に熱圧着等で接続されている。

【0036】本実施例では、液晶表示パネルが組立てられるまでは、共通導体パターン 1 d に信号配線 1 b が接続されているため、パネル内部にマトリックス上に配置された非線形素子は電気的に同電位となり、静電気の影響は受けない。次に、液晶駆動用 LSI ベアチップを実装するに際し、レーザーカットライン 1 e に沿ってレーザー光線を照射して共通導体パターン 1 d と信号配線 1 b を電気的に分離する。これは、LSI チップ 2 の実装後では、レーザー光線によって LSI チップにダメージを与えてしまうからである。従って、LSI チップ 2 実装時の静電気対策として、もう一つの静電気対策用電極端子 1 f を用いる。即ち、導電性ゴム 4 を全ての電極端子 1 f に押し当てながら LSI チップ 2 を実装するか、予め電極端子 1 f 上に導電性ペーストを塗布しておくことによって、全信号配線 1 b を同電位として静電気の影響を回避する。ここで、LSI チップの実装終了後は、電極端子 1 f は剥き出しの状態となって電蝕の発生が懸念されるが、仮に電蝕が発生しても電極端子 1 c 近傍は接続用樹脂で覆われており、信号配線 1 b も絶縁膜 1 g にて覆われているため、影響を受ける部分は機能に関係のない電極端子 1 f である。このように、本実施例では、液晶表示パネルの製造工程及び実装工程の全般に渡って、静電気の影響を回避しながら対環境信頼性の高い液晶表示パネルを得ることができる。

【0037】

【発明の効果】本発明によれば、COG 実装対応で、しかも全辺に液晶駆動用 LSI チップが実装される場合においても、パネルプロセス工程及び LSI チップ実装工程を通じて静電気対策を容易に行うことができるという効果がある。

【図面の簡単な説明】

【図1】本発明に係る実施例1の液晶表示パネルの全体構成を示す図である。

【図2】図1に示すA部の構成を示す拡大図である。

【図3】図1に示すA部のレーザーカット後の構成を示す拡大図である。

【図4】本発明に係る実施例2の液晶表示パネルのパネル上面の構成を示す部分図である。

【図5】本発明に係る実施例2の液晶表示パネルの LSI チップ実装時の構成を示す図である。

【図6】本発明に係る実施例3の液晶表示パネルの構成を示す図である。

【図7】本発明に係る実施例4の液晶表示パネルのパネル上面の構成を示す図である。

【図8】本発明に係る実施例5の液晶表示パネルの全体構成を示す図である。

【図9】本発明に係る実施例6の液晶表示パネルの全体構成を示す図である。

【図10】本発明に係る実施例7の液晶表示パネルの全体構成を示す図である。

【図11】図10に示すA部の構成を示す平面及び断面拡大図である。

【図12】従来例のTAB実装方式の液晶表示パネルとその端面研磨した液晶表示パネルの構成を示す図である。

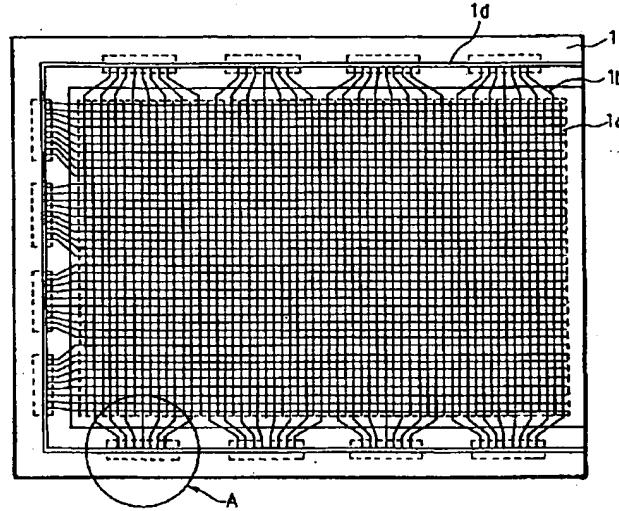
【図13】従来例のCOG実装方式の液晶表示パネルとそのチップ非実装辺をカットした液晶表示パネルの構成を示す図である。

【符号の説明】

- 1 液晶表示パネル
- 1 a 有効表示領域
- 1 b 信号配線
- 1 c, 1 f, 1 j 電極端子
- 1 d 共通導体パターン
- 1 e レーザーカットライン
- 1 g 絶縁層
- 1 h, 1 i 導体パターン
- 2 液晶駆動用 LSI ベアチップ
- 2 a 出力信号電極端子
- 3 ボンディングヘッド
- 4 導電性ゴム
- 5 加圧ヘッド
- 6 フレキシブルプリント回路基板

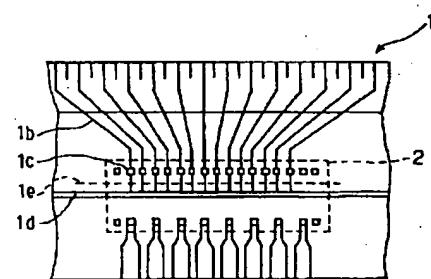
【図1】

本発明に係る実施例1の液晶表示パネルの全体構成を示す図



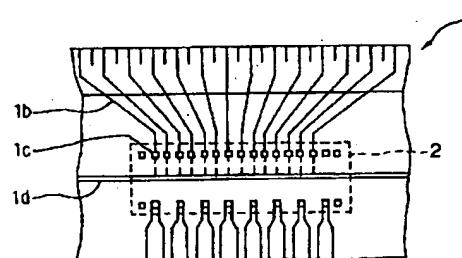
【図2】

図1に示すA部の構成を示す拡大図



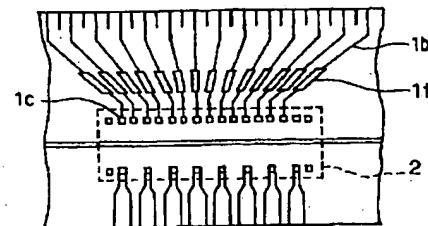
【図3】

図1に示すA部のレーザーカット後の構成を示す拡大図



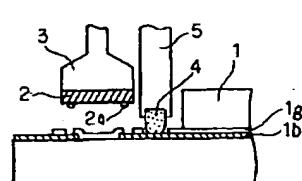
【図4】

本発明に係る実施例2の液晶表示パネルのパネル上面の構成を示す部分図



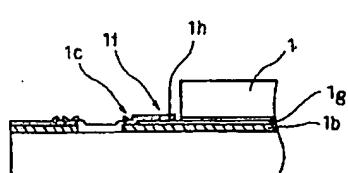
【図5】

本発明に係る実施例2の液晶表示パネルのL.S.I.チップ実装時の構成を示す図



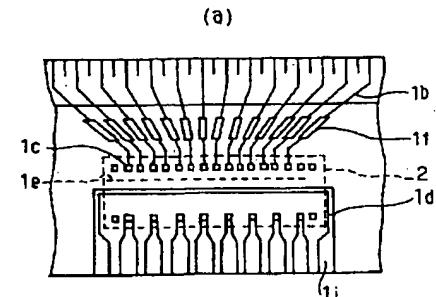
【図6】

本発明に係る実施例3の液晶表示パネルの構成を示す図

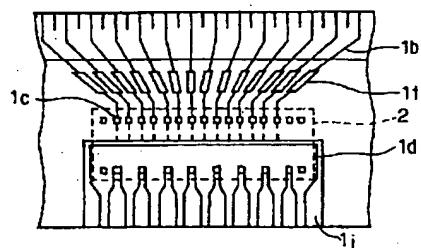


【図7】

本発明に係る実施例4の液晶表示パネルのパネル上面の構成を示す図

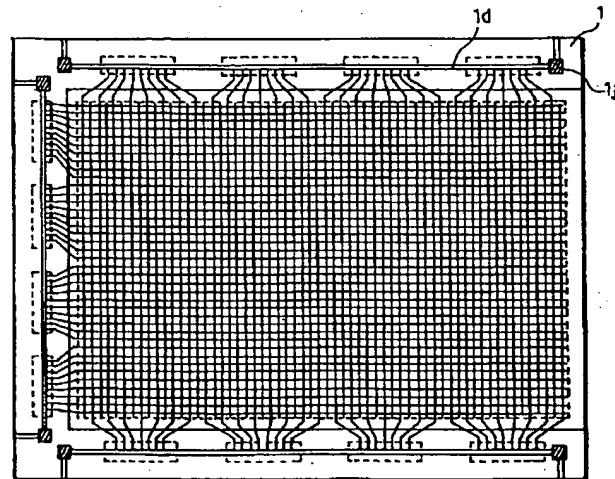


(b)



【図8】

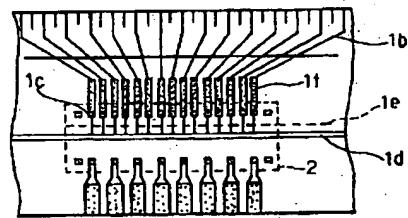
本発明に係る実施例5の液晶表示パネルの全体構成を示す図



【図11】

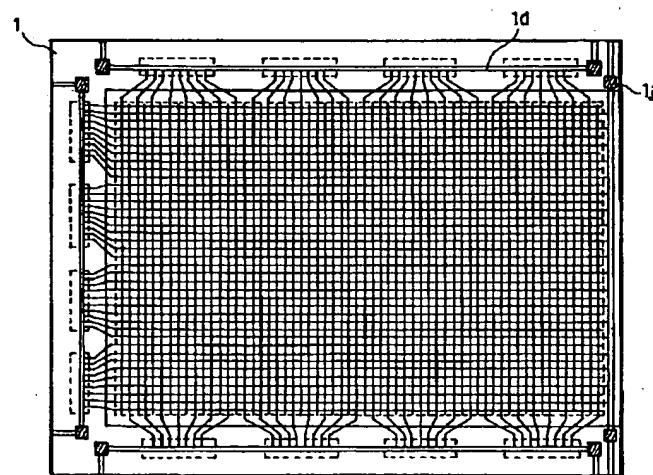
図10に示すA部の構成を示す平面及び断面拡大図

(a)

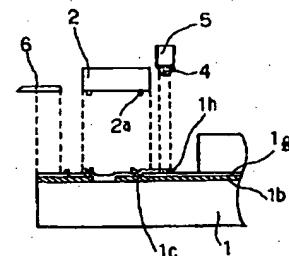


【図9】

本発明に係る実施例6の液晶表示パネルの全体構成を示す図

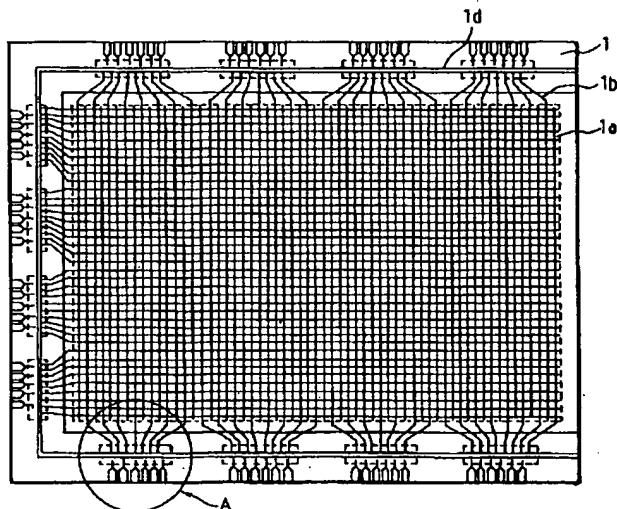


(b)



【図10】

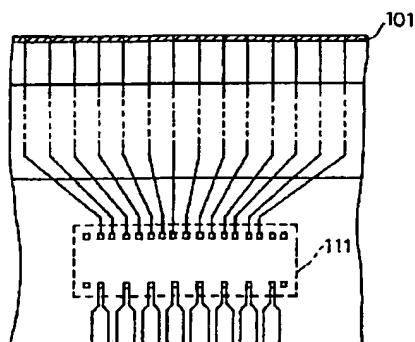
本発明に係る実施例7の液晶表示パネルの全体構成を示す図



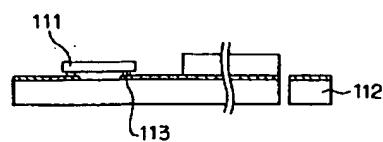
【図13】

従来例のCOG実装方式の液晶表示パネルとそのチップ非実装辺をカットした液晶表示パネルの構成を示す図

(a)

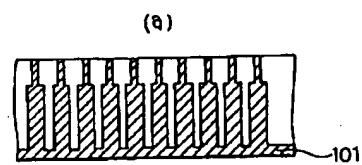


(b)

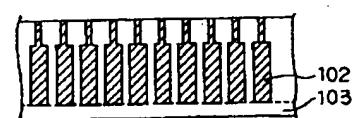


【図12】

従来例のTAB実装方式の液晶表示パネルとその端面研磨した液晶表示パネルの構成を示す図



(b)



(c)



フロントページの続き

(72)発明者 助田 俊明
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 笠原 慎一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内